

IMPLEMENTACIÓN EN FPGA DE CONTROLADORES DE SISTEMAS SECUENCIALES MEDIANTE TRADUCCIÓN DIRECTA DE REDES DE PETRI A CÓDIGO VHDL

Código: ING278

Período: 2009-2012

Director: Martínez, Roberto M

E-mail: romamar@fceia.unr.edu.ar

Integrantes: Corti, Rosa M; Giandoménico, Enrique E; D'Agostino, Estela; Belmonte, Javier G; Ribes, Leonardo; Belmonte, Julián.

Objetivos

El objetivo general de este proyecto es el desarrollar un modelo que permita establecer una correspondencia directa entre un sistema secuencial representado con una red de Petri y una descripción VHDL isomórfica con la red.

Los objetivos específicos son:

- a. Desarrollar un método sistemático de traducción RdeP-VHDL
- b. Desarrollar un compilador en lenguaje de alto nivel, que permita la traducción automática de una RdeP a código VHDL.
- c. Determinar las métricas necesarias para comparar la síntesis circuital, en una FPGA, obtenida a partir del método desarrollado, con la síntesis que se logra a partir de usar modelos FSM (máquina de estados).
- d. Realizar un análisis comparativo utilizando las métricas definidas en el punto c. Comparación cualitativa.

Resumen Técnico

A partir de su aparición en 1963, las Redes de Petri (PN) se han constituido en una de las herramientas de modelización más poderosas para los sistemas de eventos discretos. En sistemas donde es preciso modelar evoluciones paralelas, sincronizadas o nó, y que posiblemente no estén completamente especificados, las PN presentan notorias ventajas frente a otras formas de modelado. Se puede asegurar incluso que es posible especificar un sistema mediante una representación por PN con mayor claridad y precisión que en muchas otras alternativas de especificación formal.

Por otro lado, en el diseño de circuitos digitales electrónicos, la aparición de los lenguajes de descripción de hardware (HDLs, Hardware Description Languages) ha orientado el desarrollo a las técnicas de diseño 'Top-Down' que, contrariamente a la metodología "Bottom-Up", permiten la descripción del sistema al más alto nivel de abstracción y tienen actualmente una utilización muy difundida en la síntesis automática de los circuitos.

A partir de estas dos técnicas hoy extensivamente desarrolladas, surge la idea de utilizar como base para la síntesis en dispositivos programables (Complex Programmable Logic Device-CPLD, Field Programmable Gate Array- FPGA) a las PN en forma inmediata, esto es, mediante la traducción, lo mas directa posible de la Red a HDL.

En los ambientes EDA (Electronic Design Automation), que integran en el mismo ambiente de trabajo las herramientas de descripción, síntesis, simulación y realización de sistemas digitales, los sintetizadores están desarrollados para reconocer determinadas estructuras lógicas, como ser la de las máquinas de estado finito (FSM) , recomendándose incluso, para quienes opten por esta forma de diseño, formatos de codificación de sistemas secuenciales que permiten una optimización en tiempo, área de pastilla utilizada y potencia consumida.

Sin embargo, el trabajo de representar y especificar en forma precisa el comportamiento de un sistema complejo, con presencia de evoluciones paralelas, sincronismo y/o recursos compartidos mediante Redes de Petri, resulta mucho menor al requerido para dividir, especificar y sincronizar cada una de las máquinas de estado que se requerirían para entrar al sistema de diseño, y, por supuesto, con mucha menor probabilidad error en el proceso total. Asimismo, resulta pertinente determinar, para un diseño de mediana-alta complejidad, la eficiencia en términos de recursos y velocidad de la implementación de la descripción VHDL resultante de la traducción directa desde la PN.

En el presente proyecto se pretende llegar a una metodología universal tal que permita una traducción isomórfica de una PN a lenguaje VHDL, su implementación y comprobación efectiva en el ambiente ISE y su síntesis física sobre FPGA. Además, se establecerá la relación cuantitativa de la eficiencia entre el método hallado y la modelización según FSM, fundamentalmente para sistemas secuenciales complejos con existencia de evoluciones paralelas. Los aspectos cualitativos de la comparación también serán analizados y explicitados en el proyecto.

Disciplina: Ingeniería

Especialidad: Computación, Electrónica

Palabras Clave: Redes de Petri - FPGA - VHDL